

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-134844

(43)Date of publication of application : 08.05.1992

(51)Int.Cl.

H01L 21/76

(21)Application number : 02-258337

(71)Applicant : TOSHIBA CORP

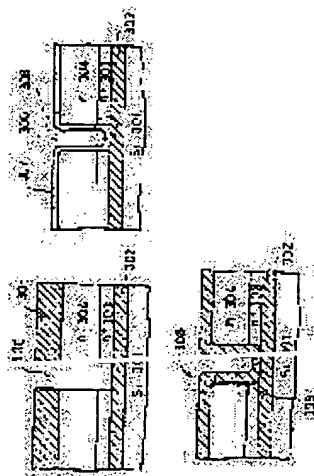
(22)Date of filing : 27.09.1990

(72)Inventor : HIRAKAWA KENJI

(54) FORMATION OF INTERELEMENT ISOLATION REGION OF SEMICONDUCTOR DEVICE**(57)Abstract:**

PURPOSE: To prevent crystal defective by depositing a polycrystalline semiconductor film in advance by a vacuum vapor growth method to round a corner when forming an insulating film in an inner wall of a trench isolation and by forming a heat oxide film thereafter.

CONSTITUTION: A single crystalline semiconductor layer including an n+-region 303 and an n-region 304 for leading out a collector electrode is formed on an insulating film 302. A groove 306 is formed using a silicon oxide film 305 or a resist as a mask by usual lithography. After polymer or damaged layer is removed, a polycrystalline silicon film 307 is deposited by vacuum vapor growth method with a bending rate not only in an upper corner part 308 but also in a lower corner part 309. Furthermore, a heat oxide film is formed by hydrogen combustion method at a specified temperature. Thereby, a silicon oxide film having a bending rate is formed in corner parts 309, 308, defective is prevented from growing from the corner part 309 to a wafer surface and yield of an element can be improved.

**LEGAL STATUS**

1168
⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-134844

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月8日

H 01 L 21/76

D

9169-4M

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体装置の素子間分離領域の形成方法

⑰ 特 願 平2-258337

⑱ 出 願 平2(1990)9月27日

⑲ 発 明 者 平 川 頭 二 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 大 胡 典 夫

明 細 書

1. 発明の名称

半導体装置の素子間分離領域の形成方法

2. 特許請求の範囲

絶縁膜上に形成した単結晶半導体層に異方性食刻法で絶縁膜に達する溝を形成する工程と、前記溝内に減圧気相成長法により多結晶半導体膜を形成する工程と、熱酸化法により多結晶半導体膜とこれに接する単結晶半導体層を酸化し酸化膜を形成する工程を具備することを特徴とする半導体装置の素子間分離領域の形成方法

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は半導体集積回路装置の素子間分離領域の形成方法に関し、特に高速動作回路、高耐圧回路などに使用するものである。

(従来の技術)

絶縁膜上に半導体層を形成し、この半導体層にデバイス(Device)を形成する完全誘電体分離

技術は、寄生容量の低減による高速動作、高耐圧化更にラッチアップ(Latch Up)を生じないなどの高信頼性などの利点がある。

第1図は完全誘電体分離技術を利用した高速バイポーラ(Bipolar)集積回路の例である。コレクタ(Collector)領域であるところのn層104、n⁺層103は基盤101とは絶縁膜102で、隣接素子とはトレンチアイソレーション(Trench Isolation)の絶縁膜105で分離されており、通常のpn接合により分離された場合よりコレクタ～基盤間の寄生容量が大幅に低減され、回路動作の高速性が得られる。

第2図a～cは完全誘電体分離技術を使用した前記高速バイポーラ型トランジスタのトレンチアイソレーション部分の製造工程を示した断面図である。まずシリコン酸化膜202上にn⁺層203、n層204を含んだシリコン(Silicon)層を第2図aのように形成する。この形成方法にはシリコン酸化膜層202とシリコン層を親水性処理後、接着・熱処理する方法(特公昭62-27040号公報)、レ

ーザ (Laser) または電子ビーム (Beam) による熔融再結晶化法、 O^+ イオン (Ion) を注入し酸化膜層を形成する方法などがある。

次に通常のリソグラフィ (Lithography) 法によりパターンニング (Patterning) したレジスト (Resist) またはシリコン酸化膜 205 をマスク (Mask) にして CF_4 などのガス (Gas) を使用した反応性イオンエッチング (Ion Etching) 法などにより異方性の溝 206 を第 2 図 b に示すように形成する。次に熱酸化することによりトレンチ内壁のシリコン酸化膜 207 を形成する (第 2 図 c 参照)。

(発明が解決しようとする課題)

トレンチコーナー (Corner) 部 208、210 は酸化時に大きな応力が加わり、酸化膜の薄膜化、更に結晶欠陥発生の原因になる。この対策として化学的ドライ (Dry) エッチングで上部コーナー部凸部 208 を削り取り、丸める方法がある。しかしこの時下部コーナー部 209 は丸まらない。更に下部コーナー部 209 から発生した欠陥は 45° 斜め上

方向に成長し、表面に達する可能性が大となり、素子の歩留りを大幅に低減させる。本発明はこのような事情により成されたもので、絶縁膜上に形成した単結晶半導体層内に形成する素子間分離にトレンチアイソレーションを使用した場合のトレンチ内壁の酸化膜形成方法に関するもので、トレンチ下部コーナー部から素子表面方向に発達する結晶欠陥を防止することを目的とする。

【発明の構成】

(課題を解決するための手段)

絶縁膜上に形成した単結晶半導体層に異方性食刻法で絶縁膜に達する溝を形成する工程と、前記溝内に減圧気相成長法により多結晶半導体膜を形成する工程と、熱酸化法により多結晶半導体膜とこれに接する単結晶半導体層を酸化し酸化膜を形成する工程に本発明に係わる半導体装置の素子間分離領域の形成方法の特徴がある。

(作 用)

絶縁膜上に形成した単結晶半導体層に形成するトレンチアイソレーションの内壁に絶縁膜を形

成するとき、予め減圧気相成長法により多結晶半導体膜を堆積してコーナーを丸めた後熱酸化膜を形成することにより、絶縁膜に接したトレンチ下部コーナーから表面に発達する結晶欠陥を防止する。

(実施例)

本発明の実施例として npn 型バイポーラトランジスタの素子分離領域形成工程を第 3 図の断面図に従って説明する。

まず第 3 図 a に示すようにシリコン酸化膜などの絶縁膜 302 上にコレクタ電極引出し用の n^+ 領域 303 と n 領域 304 を含む単結晶半導体層を形成する。この形成方法は従来例で示したようにウエーハ (Wafer) 接着技術による方法、レーザーまたは電子ビームによる熔融再結晶法、 O^+ イオン注入による酸化膜形成方法など単結晶半導体層 303、304 の結晶の完全性を低下させない方法であれば良い。

次に通常のリソグラフィ法によりパターンニングしたレジストまたはシリコン酸化膜 305 をマスク

として、 CF_4 などのガスを使用した反応性イオンエッチング法などにより素子間分離領域に絶縁膜 302 に達する溝 306 を第 3 図 b に明らかに示すように形成する。ウエット (Wet) またはドライエッチングによりポリマー (Polymer) 及びダメージ層を除去後、多結晶シリコン膜 307 を減圧気相成長法により 1000Å から 2000Å 程度堆積する (第 3 図 c 参照)。この時上部コーナー部 308 のみならず下部コーナー部 309 のコーナーに曲率をもって堆積される。なお、上部コーナー部 308 と下部コーナー部 309 は第 3 図 c と第 3 図 d に点線で書いた丸で表示した。

更に 900°C から 1000°C 程度の温度で水素燃焼法により 1000Å 以上の熱酸化膜を形成する (第 3 図 d 参照)。この時下部コーナー部 309、上部コーナー部 308 には曲率をもったシリコン酸化膜が形成され、特に下部コーナー部 309 からウエーハ表面に発達する欠陥を防止することができ、素子の歩留りを大幅に上昇させることができる。更に減圧気相成長法による多結晶シリコン膜など

311 を埋込み、これを酸化シリコン膜312 で覆い
(第3図e参照)、素子間分離領域が完成する。

【発明の効果】

以上の説明から明らかなように、本発明の完全誘電体分離に用いるトレンチアイソレーションの形成方法は、下部絶縁膜に接するコーナー部を容易に丸めることができ、従来このコーナー部から発生しやすかった結晶欠陥を防止することができる。この結晶欠陥は半導体層の表面方向に発達するもので、従来素子歩留り低下の重大原因であったが、これが大幅に改善できる。

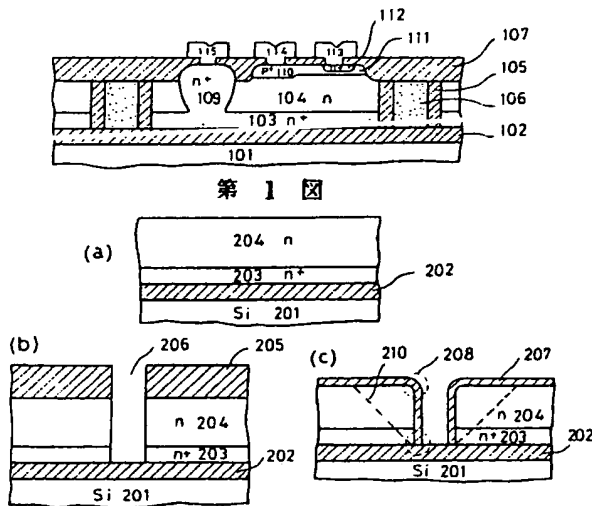
4. 図面の簡単な説明

第1図は完全誘電体分離法を使用した従来のnpnバイポーラトランジスタの断面図、第2図a～cは従来の素子間分離領域の製造工程を示す断面図、第3図a～eは本発明の素子間分離領域の製造工程を示す断面図である。

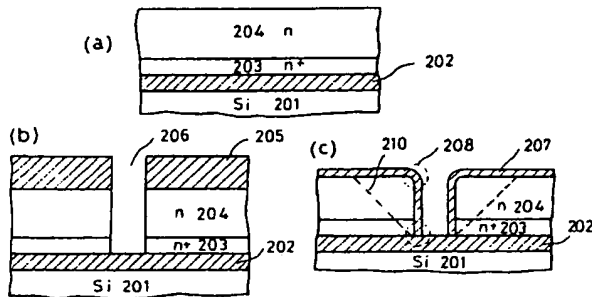
- 101、201、301 : 半導体基盤、
102、202、302 : 絶縁膜、
103、203、303 : n⁺型埋込層、

- 104、204、304 : n型コレクタ領域、
205、305 : レジストまたはシリコン酸化膜、
206、306 : 異方性食刻による溝(トレンチ)、
105、107、108、207、310、312 : シリコン酸化膜、
208、308 : トレンチ上部コーナー部、
209、309 : トレンチ下部コーナー部、
210 : トレンチ下部コーナー部から発生した結晶欠陥、
106、311 : 多結晶シリコン膜、
110 : p⁺型グラフトベース領域、
112 : n⁺エミッタ領域、
113 : エミッタ電極、
114 : ベース電極、
115 : コレクタ電極。

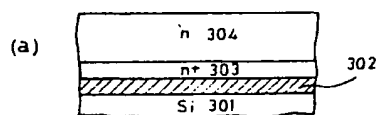
代理人 弁理士 大 胡 典 夫



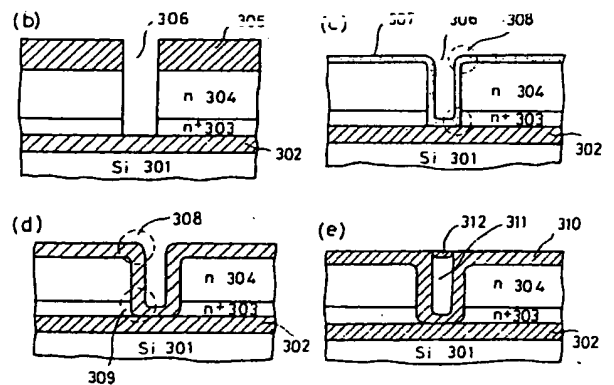
第 1 図



第 2 図



第 3 図



第 3 図

- 101, 201, 301 : 半導体基盤
103, 203, 303 : n⁺型埋込層
205, 305 : レジストまたはシリコン酸化膜
105, 107, 108, 207, 310, 312 : シリコン酸化膜
209, 309 : トレンチ下部コーナー部
106, 311 : 多結晶シリコン膜
112 : n⁺エミッタ領域
115 : コレクタ電極
102, 202, 302 : 絶縁膜
104, 204, 304 : n型コレクタ領域
206, 306 : 異方性食刻による溝
208, 308 : トレンチ上部コーナー部
210 : トレンチ下部コーナー部から発生した結晶欠陥
110 : p⁺型グラフトベース領域
113 : エミッタ電極
114 : ベース電極